

⑪ Int. Cl.

G 01 R 31/00

識別記号

庁内整理番号

6829-2G

⑬ 公開 昭和62年(1987)9月7日

審査請求 有 発明の数 1 (全6頁)

⑭ 発明の名称 表示装置

⑮ 特 願 昭61-45756

⑯ 出 願 昭61(1986)2月28日

⑰ 発 明 者 吉 村 方 宏 大阪市阿倍野区長池町22番22号 シャープ株式会社内
⑱ 出 願 人 シャープ株式会社 大阪市阿倍野区長池町22番22号
⑲ 代 理 人 弁理士 杉山 毅 至 外1名

明 細 書

1. 発明の名称

表 示 装 置

2. 特許請求の範囲

1. 単位画素をマトリクス状に配置し、各単位画素は画素を駆動するトランジスタを持ち、さらに、駆動信号レベルを外部へ取り出すためのトランジスタを有し、単位画素毎に該画素を構成する回路の電気的テストを可能とした表示装置に於いて、走査回路の駆動クロックを固定し、走査を起動する信号を固定することにより、水平方向の走査回路の出力をすべての列について選択状態とし、一行あるいは二行以上の複数行の画素のテストを同時に行なうことを可能としたことを特徴とする表示装置。

3. 発明の詳細な説明

〈技術分野〉

本発明は、表示装置の画素部の回路のテストを高速度化する技術に関するものである。

〈従来技術〉

アクティブ・マトリクス方式の表示装置に於いて、各画素を構成する回路をテストする手段は、特開昭57-99688に於いて示されている。このテストが可能を表示装置に於いて、画素部分の表示画素駆動用MOSトランジスタの短絡、すなわち、トランジスタのリーク異常を検知する場合、複数の画素について同時にテストすることが可能である。従来の表示装置では素子数と動作速度の関係から、水平方向の走査回路として通常はダイナミック方式の回路が用いられている。したがって、このような装置では水平方向の走査回路の出力をすべて選択状態にする場合に於いても、クロックを停止することは不可能であり、常にある周波数以上のクロックで走査回路を動かし続ける必要がある。このため、テストのための入力信号及び出力信号などにクロックが重畳されるなどにより、正しい信号の入出力が不可能となり、テスト動作の信頼性が著しく低下する事がある。すなわち、周知のようにダイナミック回路では、クロックを停止すると回路中の容量部分(寄生容量

を含む)に保持されたデータが消滅し、回路の状態が不定となる。したがって、従来技術ではシフト・レジスタの出力をすべて一定の状態に保つ場合に於いても、クロックを止めることは不可能である。このクロックが供給されるラインと平行に、映像信号を入力したり、テスト信号を出力するラインが走っているため、容錯又は誘導性結合によりテスト信号が乱され、正しい信号の入出力ができなくなる。

〈発明の目的〉

本発明は上述の問題点に鑑み、マトリクス方式表示回路に連結される水平走査回路の駆動クロックを固定し、走査を起動する入力信号を固定することにより、水平走査回路の出力をすべて選択状態とし、該走査回路の駆動クロックを供給することなくテストを行なうことを可能とし、テスト動作の信頼性を向上させたことを特徴とする表示装置を提供するものである。

〈実施例〉

第1図は本発明に係る表示装置の構成図である。

ϕ_1 は $Tr. 2I'-1$ ($I' = 1, 2, \dots$)へ、 ϕ_2 は $Tr. 2I'$ へ供給することにより、出力 H_i が順次列選択状態となる。この場合のタイミング・チャートを第3図に示す。

一方、テスト動作を行なう場合は、 $Tr. 2I'-1$ 、 $Tr. 2I'$ へ供給する信号をすべて“1”とし、入力信号 I を“1”とすることにより、駆動クロックを供給することなく、すべての出力 H_i が列選択状態となる。これにより、垂直走査回路1について、水平走査回路2の駆動クロックの影響による誤動作等を起こすことなく同時に画素回路のテスト、すなわち表示素子駆動用MOSトランジスタ $T2ij$ のリーク異常の検知テストが可能となる。

テスト信号出力時の回路は第4図のようになる。すなわち、被テスト・トランジスタ $T2ij$ がすべて並列となるため、1個でも「短絡」異常があると“不良”と判定される。したがって、全画素並列テストが可能である。

図に於いて、1は垂直走査回路、2は水平走査回路、 $3ij$ ($i = 1, \dots, m, j = 1, \dots, n$) は表示素子、 $T1ij$ は書き込み用MOSトランジスタ、 $T2ij$ は表示素子駆動用MOSトランジスタ、 Cij は入力信号蓄積容量、 $T3ij$ は駆動電圧読み出し用MOSトランジスタ、 $T4i$ ($i = 1, \dots, m$) は列選択用MOSトランジスタである。また、 R はプルアップ抵抗、4は判定回路である。

第2図は、従来より利用されている2相クロック駆動シフト・レジスタを水平走査回路2として利用した場合の、本発明を実施しうる回路の一例である。

インバータ $Inv. I$ ($I = 1, 2, \dots$) は入力 I より与えられた信号を増幅・反転して次段へ転送するための回路である。 $Tr. I$ はインバータ $Inv. I$ の出力から $Inv. I + 1$ の入力への信号の伝送を制御するトランスファー・トランジスタである。通常の走査動作では、第3図に示すように、互いに重ならないクロック ϕ_1, ϕ_2 を、

第5図は、通常の走査動作 ($I_t = 1$) では2相クロック ϕ_1, ϕ_2 を出力し、テスト時には、外部よりの入力信号 I_t を“0”にすることにより、容易に駆動クロックをすべて“1”の状態へ固定できる回路の一実施例である。5は通常の2相クロック発生回路である。

なお、第2図の回路は、疑似2相クロックによる駆動も可能である。この場合のタイミング・チャートを第6図に示す。

第7図は、通常の走査動作では、外部信号 I_t を“1”として、クロック ϕ から疑似2相クロックを発生し、テスト時には、外部信号 I_t を“0”とすることにより、容易に駆動クロックをすべて“1”の状態へ固定できる回路の一実施例である。

第8図は、従来より利用されている2相クロック駆動のクロックドCMOSを用いたシフト・レジスタを水平走査回路として利用した場合の、本発明を実施しうる回路の一例である。本実施例は、入力信号を反転・増幅して出力するCMOSインバータと、入力信号を反転・増幅し、外部より与

えられるクロック ϕ 、 $\bar{\phi}$ の信号に応じて出力するクロックドCMOSインバータより成る。

通常の走査動作では、クロック ϕ 、 $\bar{\phi}$ を、 ϕ はTr. 81-7, Tr. 81-4, Tr. 81-3, Tr. 81-1 (I=1, 2, ...)へ供給し、 $\bar{\phi}$ はTr. 81-6, Tr. 81-5, Tr. 81-2, Tr. 81-1 (I=1, 2, ...)へ供給することにより、選択信号出力Hiが順次選択状態となる。この場合のタイミング・チャートを第9図に示す。

一方、テストを行なう場合は、Tr. へ与える信号をすべて「1」とし、入力信号Iを「0」とすることにより、駆動クロックを供給することなく、すべての出力Hiが列選択状態となる。これにより、垂直走査回路により選択された行について、水平走査回路の駆動クロックの影響による誤動作等を起こすことなく同時に画素回路のテストが可能となる。

なお、クロック ϕ 、 $\bar{\phi}$ 発生回路は、第7図に示すものと同一の構成でよい。

〈発明の効果〉

以上詳細に説明したように、本発明により、水平走査回路を駆動することなく、垂直走査回路により選択された行の画素のテストを、高い信頼性のもとで同時に実施することが可能となり、テスト時間の短縮、ひいてはテスト・コストの低減をもたらすものである。

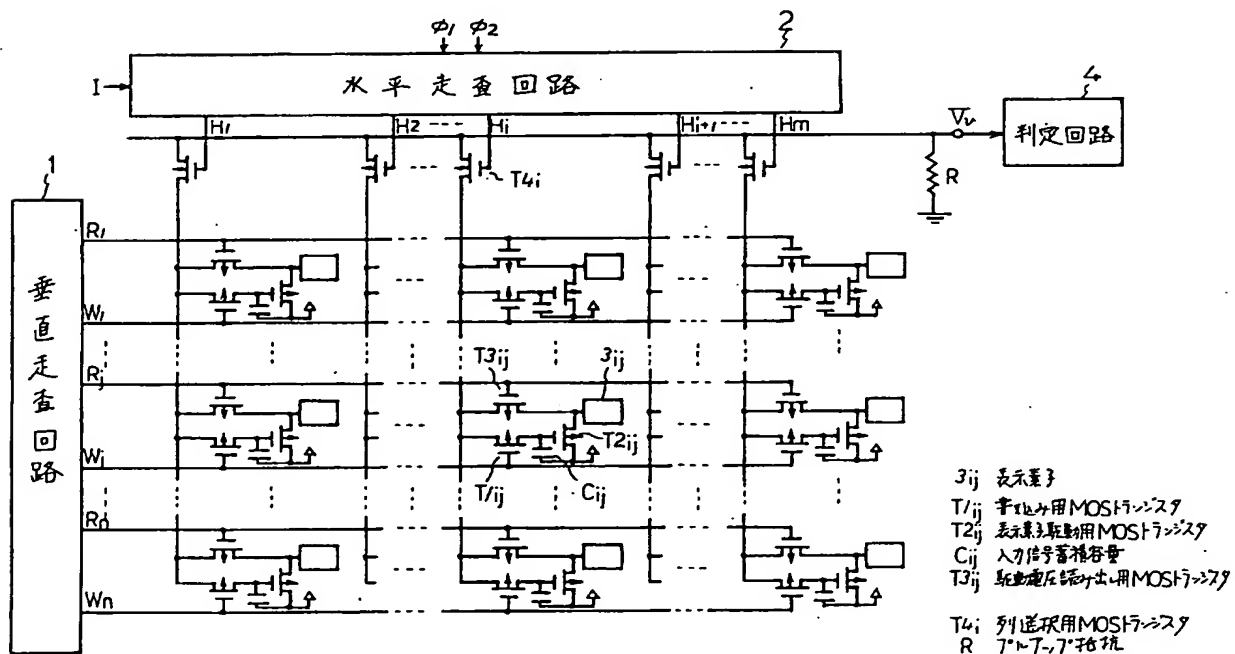
4. 図面の簡単な説明

第1図、第2図、第4図、第5図、第7図及び第8図は回路図、第3図、第6図及び第9図はタイミング・チャートである。

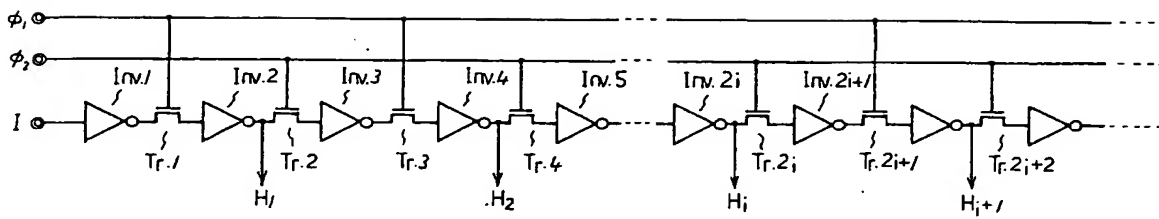
符号の説明

1：垂直走査回路、 2：水平走査回路、
3ij：表示素子、 T1ij：書き込み用MOSトランジスタ、 T2ij：表示素子駆動用MOSトランジスタ、 Cij：入力信号蓄積容量、
T3ij：駆動電圧読み出し用MOSトランジスタ、 T4i：列選択用MOSトランジスタ、
R：プルアップ抵抗、 4：判定回路。

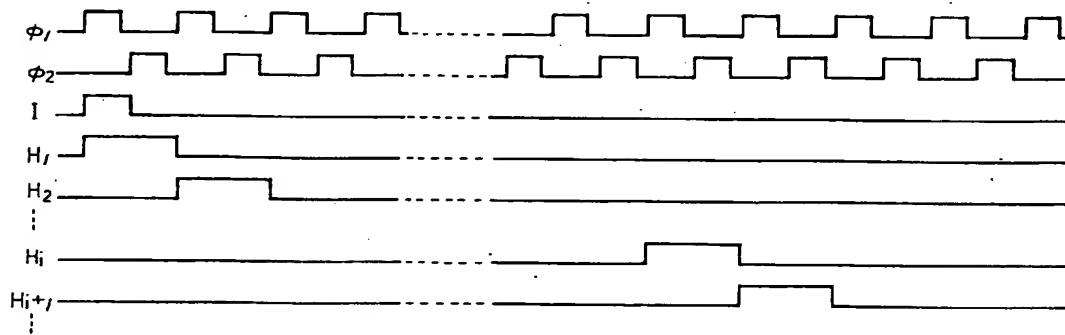
代理人 井理士 杉山 鋭 至(他1名)



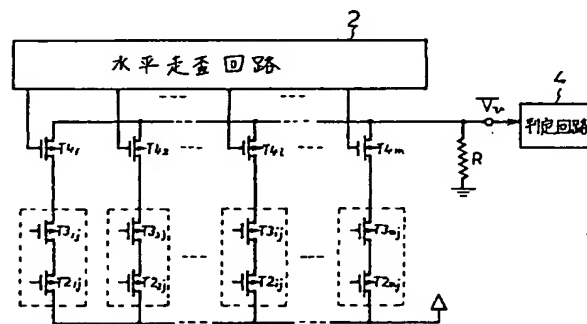
第1図



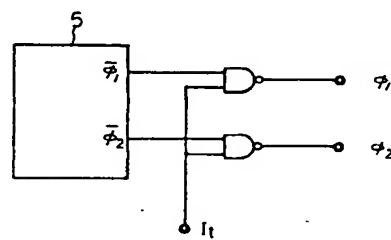
第 2 図



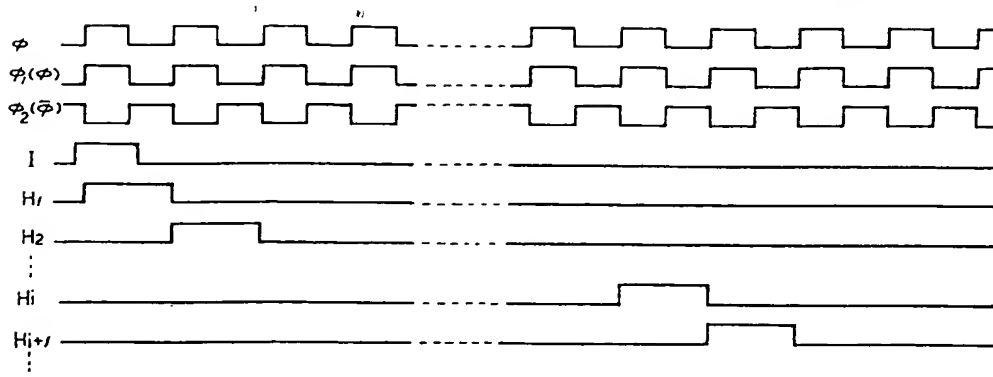
第 3 図



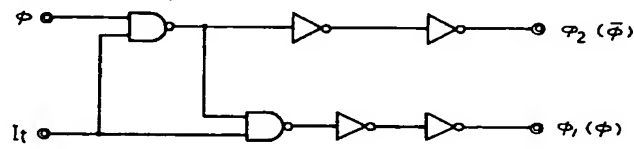
第 4 図



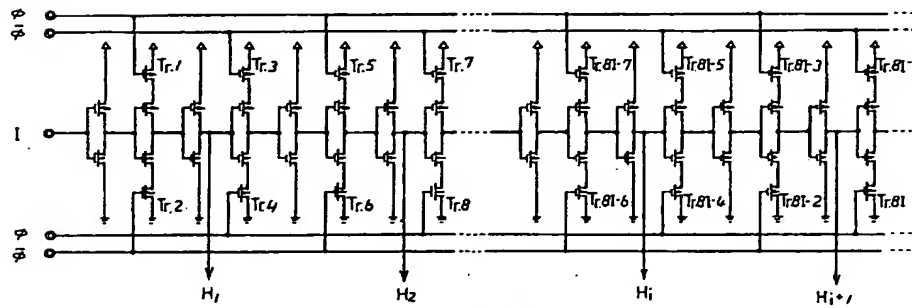
第 5 図



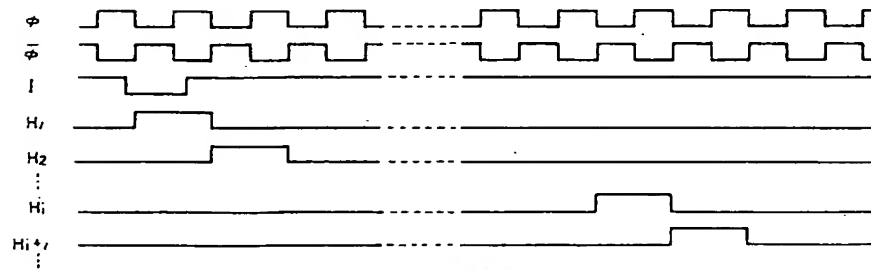
第 6 図



第 7 図



第 8 図



第 9 図

手 続 補 正 書

昭和61年4月30日

特許庁長官殿

(特許庁 殿)

1. 事件の表示

特願昭 61-45756

適

2. 発明の名称

表示装置

3. 補正をする者

事件との関係 特許出願人

住 所 〒545 大阪市阿倍野区長池町22番22号

名 称 (504) シャープ株式会社

代表者 佐 伯 旭

4. 代 理 人

住 所 〒545 大阪市阿倍野区長池町22番22号

シャープ株式会社内

氏 名 (7223) 弁理士 杉 山 毅

連絡先 電話 (06) 260-1161 東京支社技術管理センター

5. 補正命令の日付 (拒絶理由通知発送の日付)

自 発

6. 補正の対象

明細書の発明の詳細な説明の欄

方式

広 汎



7. 補正の内容

明細書の第7頁第19行と第20行との間に以下の記載を挿入します。

「なお、水平走査回路の出力として、本構成例に示したものと逆極性の出力を要する回路においては、駆動クロックおよび入力信号の極性を適当に変換し固定する事により、全列を選択状態とする事が可能である。」

以 上

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-203067

(43)Date of publication of application : 07.09.1987

(51)Int.Cl.

G01R 31/00

(21)Application number : 61-045756

(71)Applicant : SHARP CORP

(22)Date of filing : 28.02.1986

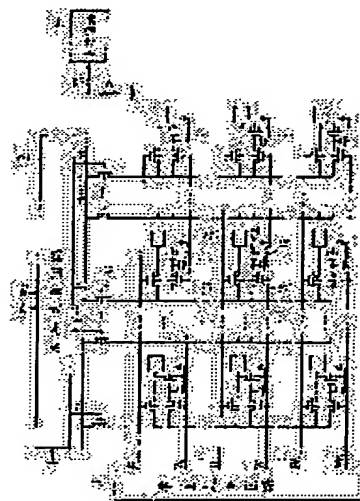
(72)Inventor : YOSHIMURA MASAHIRO

(54) DISPLAY APPARATUS

(57)Abstract:

PURPOSE: To enhance the reliability of testing operation, by fixing not only the drive clock of a horizontal scanning circuit but also an input signal starting scanning operation.

CONSTITUTION: Writing MOSFET T1ij, display element driving MOSFET T2ij, input signal accumulating capacity Cij, driving voltage reading MOSFET T3ij and row selecting MOSFET T4i are arranged to a display element 3ij and this unit picture element is formed as a matrix pattern. At the time of usual scanning operation, clocks ϕ_1 , ϕ_2 are given to a horizontal scanning unit 2 and the output Hi thereof is successively brought to a row selecting state. At the time of testing, when an input signal I and a clock are set to '1', all of outputs Hi go to the row selecting state without supplying drive clocks. By this method, the testing of a picture element circuit can be performed for a plurality of lines selected by a vertical scanning circuit 1 without generating the erroneous operation due to the effect of the drive clock of the circuit 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office